

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-169537

(43)Date of publication of application : 04.07.1989

(51)Int.Cl.

G06F 9/34

G06F 9/30

(21)Application number : 62-333875

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.12.1987

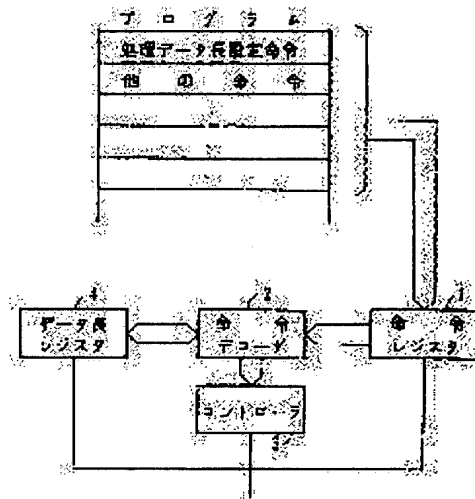
(72)Inventor : KUBO YOSHIHIRO

(54) MICROPROCESSOR

(57)Abstract:

PURPOSE: To practically increase the number of instruction sets, to shorten the length of an operation code and to increase a processing speed by providing the title microprocessor with a data length register for storing information indicating data length to be processed by an instruction.

CONSTITUTION: The data length register 4 stores information indicating data length to be processed by an instruction and its contents, for example, are rewritten by an exclusive instruction or the like. An instruction decoder 2 decodes the contents of an instruction register 1 by referring to the contents of the register 4. Thereby, only one instruction code may be prepared for one operation for plural operands with various data lengths. Since the practical number of instructions can be increased and the addition of a code for distinguishing the data length to an instruction code is unnecessary, a program having more processing contents can be stored in a ROM of the same size even when an operation code is shortened. In addition, the processing speed can be increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-169537

⑬ Int.Cl.⁴

G 06 F 9/34
9/30

識別記号

3 2 0
3 5 0

庁内整理番号

A-7361-5B
G-7361-5B

⑭ 公開 平成1年(1989)7月4日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 マイクロプロセッサ

⑯ 特 願 昭62-333875

⑰ 出 願 昭62(1987)12月24日

⑱ 発 明 者 久 保 良 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

マイクロプロセッサ

2. 特許請求の範囲

命令コードを記憶する命令レジスタ(1)と、
記憶された該命令コードを解読する命令デコー
ダ(2)と、

解読結果に基づいて命令を実行するための各種
制御信号及びタイミング信号を出力するコントロ
ーラ(3)と、

を有するマイクロプロセッサにおいて、

該命令によって処理すべきデータ長を示す情報
を記憶するデータ長レジスタ(4)を付設し、

該命令デコーダ(2)は、該データ長レジスタ
(4)の内容を参照して該命令レジスタの内容を
解読することを特徴とするマイクロプロセッサ。

3. 発明の詳細な説明

[目次]

概要

産業上の利用分野

従来の技術

発明が解決しようとする問題点

問題点を解決するための手段(1図)

作用

実施例

一実施例

他の実施例

発明の効果

[概要]

マイクロプロセッサに関し、

命令セットの数を実質的に多くし、しかも、オペ
レーションコード長を短かくして処理速度を高
速にすることを目的とし、

命令コードを記憶する命令レジスタ(1)と、

記憶された該命令コードを解読する命令デコー
ダと、解読結果に基づいて命令を実行するための
各種制御信号及びタイミング信号を出力するコン
トローラと、を有するマイクロプロセッサにおい

て、該命令によって処理すべきデータ長を示す情報を記憶するデータ長レジスタを付設し、該命令デコードは、該データ長レジスタの内容を参照して該命令レジスタの内容を解釈するように構成する。

〔産業上の利用分野〕

本発明は処理データ長の種類を指示するデータ長レジスタを備えたマイクロプロセッサに関する。

〔従来の技術〕

マイクロプロセッサ（以下、MPUという。）には次のことが要求される。

①命令セットの数を多くして、各種処理が少ステップで行えるようにすること。

②オペレーションコード長を短くして、オブジェクトサイズを小さくし、かつ、処理速度を高速にすること。

この①の要求を満たそうとすると、オペレーションコード長が長くなり、②の要求に反する。また、

②の要求を満たそうとすると、命令セットの数が限定され、①の要求に反する。

このような問題点は、特に4ビットや8ビット等の短語長MPUにおいて重大である。

②の要求を満たすべく、例えば総てのオペレーションコードを1語長にすると、4ビットMPUの場合には命令セットの数が16個に制限され、8ビットMPUの場合には256個に制限される。

本発明の目的は、上記問題点に鑑み、命令セットの数を実質的に多くでき、しかも、オペレーションコード長を短かくして処理速度を高速にすることができるマイクロプロセッサを提供することにある。

〔問題点を解決するための手段〕

第1図は本発明の原理説明図である。

図中、1は命令レジスタであり、命令コードを記憶するもの、2は命令デコードであり、該命令コードを解釈するもの、3はコントローラであり、該解釈結果に基づいて該命令を実行するための各

種制御信号及びタイミング信号をALU、アキュムレータまたは各種レジスタ等の構成要素に対し出力するもの、4はデータ長レジスタであり、該命令によって処理すべきデータ長を示す情報を記憶するものである。データ長レジスタの内容は、例えば専用の命令により書き換えられる。

該命令デコード2は、該データ長レジスタ4の内容を参照して該命令レジスタ1の内容を解釈する。

〔作用〕

プログラム作成の際には、データ長レジスタ4の内容を、処理すべきデータ長に応じ、イニシャライズルーチンにおいて、予め設定しておき、その後は、この設定値を変更する必要が無い限り、データ長をなら考慮することなくプログラムを作成する。

このプログラムの実行の際には、例えばデータ長を設定する命令コードが解釈されると、コントローラ3からの制御信号及びタイミング信号に基

づいてデータ長レジスタ4の内容がこの設定値に書き換えられる。その後、データ長が関係した命令、例えば転送命令、加算命令または減算命令等については、この設定されたデータ長のアキュムレータ、レジスタまたはメモリが操作される。

ここで、マイクロプロセッサの処理対象としてのデータには、ビット、ニブル、バイト、ワード、・・・というように多数のデータ長のものがある。

従来のマイクロプロセッサでは、1つのオペレーションに対しデータ長の種類の数だけの命令を設けていたので、同種の命令が多数存在し、実質的な命令の数は少なかった。しかし、本発明では、このような同種の命令は1個だけ設ければよく、そのうえ、データ長を区別するためのコードを命令コードの中に設ける必要がないので、上記①及び②の要求を満足させることができる。

例えば、富士通製、型式MB89700の8ビットワンチップマイクロコンピュータに本発明を適用すれば、256個の1バイト命令の内、44個も省略することができ、したがって、多バイト命

令を1バイト命令にし、かつ、従来は命令コードを割り当てることができなかった命令を追加することもできる。しかも、このような命令に対してはデータ長レジスタの内容との組み合わせが考えられるので、実質的には44個よりはるかに多い1バイト命令を追加できることになる。

なお、一般的に、マイクロプロセッサが適用される制御対象や演算対象等によって、主にまたは常に8ビットデータを用いたり、主にまたは常に16ビットデータを用いたりするので、データ長レジスタの内容を1回設定しておけば、その後はほとんど書き換える必要がない。

したがって、オブジェクトサイズも小さくできる。

〔実施例〕

(A) 一実施例

第2図は本発明が適用されたワンチップマイクロコンピュータの要部ブロック図である。

図中、1は命令レジスタであり、ROM5に格

納されたプログラムの中から、図示しないプログラムカウンタにより指定されたアドレスの命令コードが取り出されてこれに格納され、この命令の実行が終了するまで該命令コードを保持するもの、2は命令デコードであり、命令レジスタ1に格納されている命令コードを解釈するもの、3はコントローラであり、外部から供給されるクロック信号に基づき、命令デコード2による解釈結果に応じて、この命令の実行に必要な総ての制御信号及びタイミング信号を各構成要素に供給するものである。

例えば命令コードが汎用レジスタR₀～R₇間の転送命令の場合には、コントローラ3はマルチプレクサ6を制御して転送元と転送先の汎用レジスタを順次選択させる。命令コードがストア命令の場合には、アキュムレータ9の内容を内部データバスDBを介しRAM10の所定アドレスへ格納させる。命令コードが入力命令の場合には入出力ポート11を入力モードにし、入出力ポート11に取り込まれたデータを内部データバスDBを

介しアキュムレータ9へ格納させる。命令コードがアキュムレータ9と汎用レジスタR₀～R₇のいずれかとの演算命令の場合には、アキュムレータ9の内容をテンポラリアキュムレータ12に一時格納させるとともに、マルチプレクサ6を制御して所定の汎用レジスタを選択させ、この汎用レジスタの内容をテンポラリレジスタ13へ一時格納させる。次に、ALU14を制御してテンポラリアキュムレータ12の内容とテンポラリレジスタ13の内容とを演算させ、その演算結果を内部データバスDBを介しアキュムレータ9へ格納させ、演算結果が正であるか負であるか等に応じてフラグ15をセットしまたはリセットする。

4はデータ長レジスタであり、オペランドのデータ長を記憶するものである。

ここで、このワンチップマイクロコンピュータは8ビットマイクロコンピュータであり、汎用レジスタアレイ7の各々は8ビット構成であり、アキュムレータ9、テンポラリアキュムレータ

12及びテンポラリレジスタ13は16ビット構成であるとする。また、汎用レジスタR₀～R₇はそれぞれ独立に使用することができるとともに、汎用レジスタR₀とR₁、R₂とR₃、R₄とR₅、R₆とR₇をそれぞれペアにして16ビット構成のレジスタとしても使用できるものとする。

命令セットの中には、データ長レジスタ4の内容を書き換える命令があり、この命令は主にイニシャライズルーチンにおいて用いられる。この命令がROM5から取り出されて命令レジスタ1に格納され、命令デコード2により解釈されると、コントローラ3により、データ長レジスタ4は命令レジスタ1に書き込まれたコードに応じて書き換えられ、その後の処理におけるオペランドのデータ長が設定される。

最も簡単な場合として、データ長レジスタ4が第3図(A)に示す如く、1ビットにより構成されている場合を説明する。

このデータ長レジスタ4aが0の場合には、汎用レジスタR₀～R₇はそれぞれ独立の8ビットレ

ジスタとして用いられる。

データ長レジスタ4aが1の場合には、上記の如くベアレジスタとして用いられ、例えば汎用レジスタR。を指定すると、R。とR。とが接続された16ビット構成のベアレジスタが用いられる。

したがって、例えばアキュムレータ9と汎用レジスタR。との加算命令(1バイト命令)

"ADD A, R."がROM5から命令レジスタ1に取り出された場合には、命令デコード2は、データ長レジスタ4の内容が0のときはアキュムレータ9の下位8ビットと汎用レジスタR。との加算命令であると解釈してその結果をコントローラ3へ供給する。コントローラ3は、アキュムレータ9の下位8ビットをテンポラリアキュムレータ12へ移送させ、マルチプレクサ6を制御して汎用レジスタR。の内容をテンポラリレジスタ13の下位8ビットへ移送させ、次にALU14を制御してテンポラリアキュムレータ12の内容とテンポラリレジスタ13の内容を加算させ、その演算結果を、内部データバスDBを介し

アキュムレータ9へ移送させる。

また、上記1バイト命令"ADD A, R."において、データ長レジスタ4の値が1の場合には、命令デコード2はアキュムレータ12と汎用レジスタベアレ、R。との16ビット加算命令であると解釈し、その解釈結果をコントローラ3へ供給する。コントローラ3はアキュムレータ9の全16ビットの内容をテンポラリアキュムレータ12へ移送させ、マルチプレクサ6を制御してこのベアレジスタの16ビットの内容をテンポラリレジスタ13へ移送し、ALU14を制御してテンポラリアキュムレータ12の内容とテンポラリレジスタ13の内容を加算させ、その16ビット演算結果を、内部データバスDBを介しアキュムレータ9へ移送させる。

減算命令、比較命令、論理演算命令及び転送命令等についても上記同様である。

したがって、データ長のみ異なる同種の処理は、同一の命令コードにより行うことができ、短い命令語長を用いて、しかも命令セットの数を実質的

に増やすことができる。

(B) 他の実施例

なお、上記の例では、汎用レジスタアレイ7の総てについてデータ長レジスタ4aの内容が影響する場合を説明したが、例えば汎用レジスタアレイ7のうち、R。～R。及びR。～R。のみがデータ長レジスタ4aの内容に関係し、汎用レジスタR。とR。については、従来のように、異なる命令により、シングルレジスタとして用いることもベアレジスタとして用いることもできるように構成してもよい。

また、第3図(B)に示す如く、データ長レジスタ4bを4ビットで構成し、そのビットb_i(i=0~3)が0のときにはR_i、R_{i+1}がそれぞれシングルレジスタとして用いられ、b_iが1のときにはR_iとR_{i+1}とがベアレジスタとして用いられるように構成してもよい。

さらに、第3図(C)に示す如く、データ長レジスタ4cの内容が"000"のときにはビット処理、"001"のときにはニブル処理、"010"のときにはバ

イト処理、"011"のときには2バイト処理、"100"のときは4バイト処理・・・であると解釈するように構成してもよい。

例えばデータ長レジスタ4cの内容が"100"で、命令レジスタ1の内容が汎用レジスタR。からRAM10への転送命令である場合には、命令デコード2は、汎用レジスタR。、R。、R。、R。の内容をRAM10の所定アドレスから4バイトにわたるアドレスへ転送させる命令であると解釈する。したがって、1命令で4バイトも転送でき、高速処理が可能になる。

他の例として、データ長レジスタ4cの内容が"000"であり、命令レジスタ1の内容がアキュムレータ9と汎用レジスタR。との論理積をとる命令である場合には、命令デコード2は、例えば、アキュムレータ9の最下位ビットと、汎用レジスタR。の最下位ビットとの論理積をとる命令であると解釈する。このような処理は、このワンチップマイクロコンピュータをシーケンサとして用いる場合に有効である。

また、電卓の計算のような用い方をする場合に
は、データ長レジスタ4cの値を1にすることにより
ニブル処理を容易に行うことができる。

すなわち、1種類のワンチップマイクロコンピュ
ータであっても、データ長レジスタ4の内容を書
き換えることにより、各種用途に合った用い方を
することができる。

また、データ長レジスタをメモリマッピングさ
れたレジスタとして構成してもよい。この場合、デ
ータ長レジスタの書き換えは通常の転送命令で実
現できる。専用の命令を設ける必要がないため、
その分、他の有効な命令を追加することが可能と
なる。

[発明の効果]

本発明に係るマイクロプロセッサでは、命令レ
ジスタの内容とデータ長レジスタの内容との組み
合わせにより命令を解釈するようになっているの
で、各種データ長のオペランドに対し、1種のオ
ペレーションには1つの命令コードのみを設けれ

ばよく、実質的な命令数を極めて多くでき、その
うえ、データ長を区別するコードを命令コードに
設ける必要がないのでオペレーションコードを短
くすることができ、同一サイズのROMに、より多
くの処理内容を持つプログラムを格納することが
可能となり、さらに、処理速度を高速にすること
ができるという優れた効果を奏する。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の一実施例に係るワンチップマ
イクロコンピュータの要部構成ブロック図、

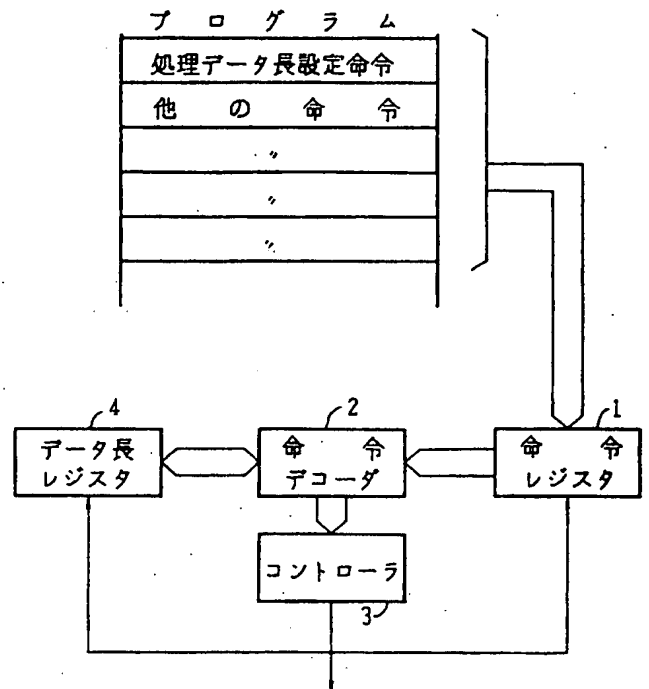
第3図は汎用レジスタとデータ長レジスタとの
関係を説明する図である。

図中

- 1 : 命令レジスタ
- 2 : 命令デコーダ
- 3 : コントローラ
- 4 : データ長レジスタ

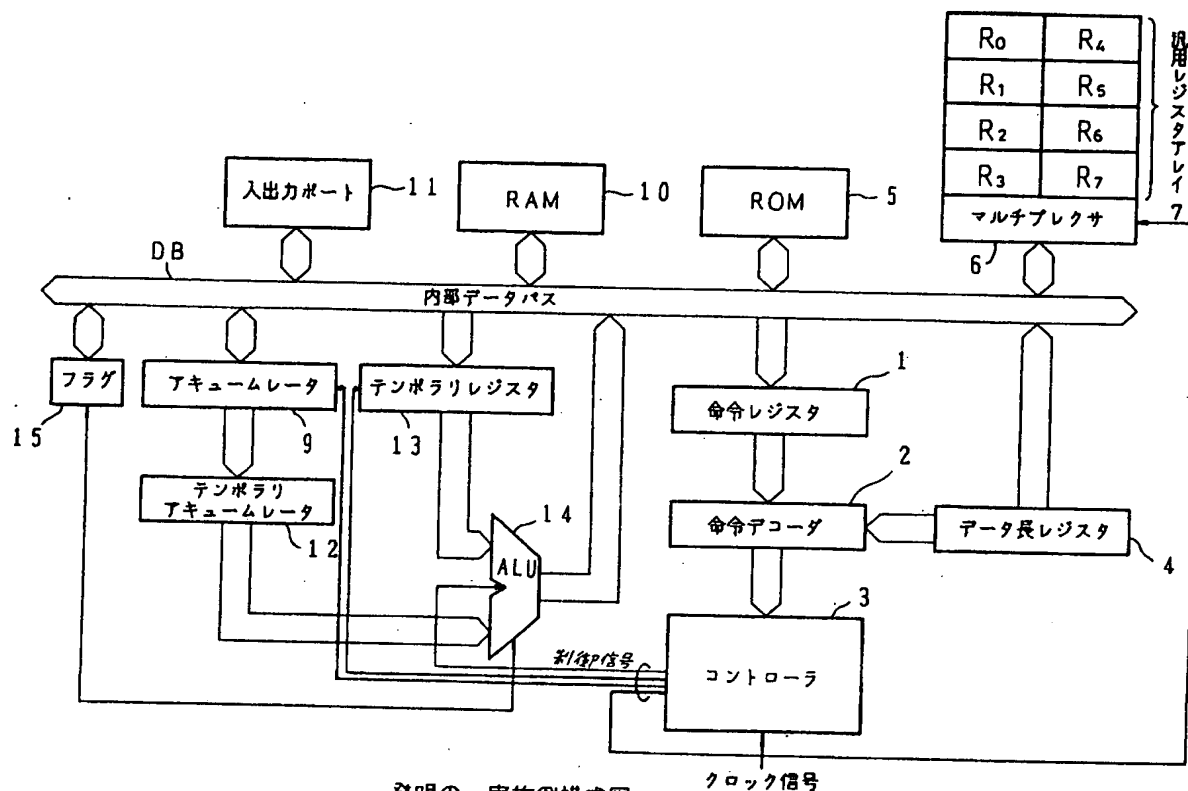
R。～R。：汎用レジスタ

代理人 弁理士 井 桁 貞



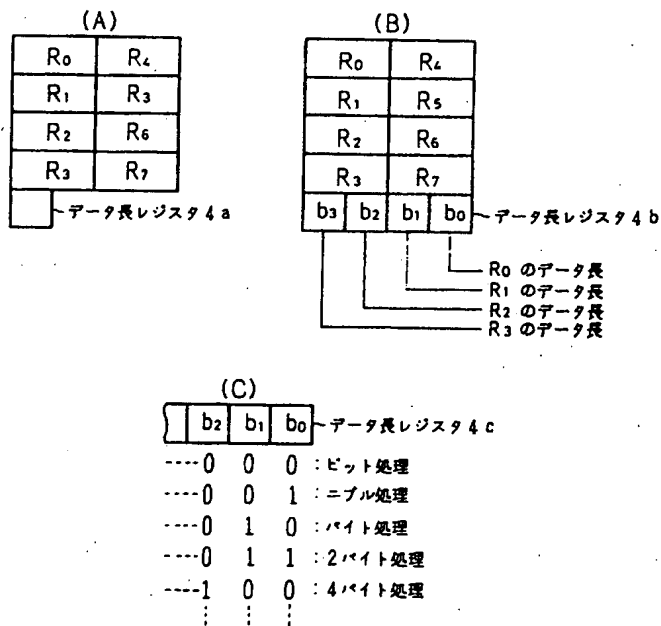
発明の原理図

第 1 図



発明の一実施例構成図

第 2 図



汎用レジスタとデータ長レジスタとの関係説明図

第 3 図